

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 9 月 3 0 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 3 4 0 5 1 1
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 4 0 5 1 1]

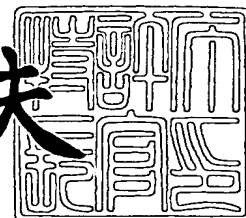
出 願 人 沖電気工業株式会社
Applicant(s):



2 0 0 4 年 2 月 1 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 8 0 5 5

【書類名】 特許願
【整理番号】 CA000836
【提出日】 平成15年 9月30日
【あて先】 特許庁長官 殿
【国際特許分類】 G06F 13/14
【発明者】
 【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 【氏名】 遠藤 信之
【特許出願人】
 【識別番号】 000000295
 【氏名又は名称】 沖電気工業株式会社
【代理人】
 【識別番号】 100079991
 【弁理士】
 【氏名又は名称】 香取 孝雄
 【電話番号】 03-3508-0955
【手数料の表示】
 【予納台帳番号】 006895
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9001067

【書類名】 特許請求の範囲**【請求項 1】**

第 1 のバスで互いに接続された中央処理装置と、メインメモリを制御するメインメモリ制御部と、周辺装置を制御する入出力チャネル制御部とを含む半導体集積回路において、該回路は、

前記中央処理装置に第 2 のバスで接続された情報を格納するローカルメモリと、

該ローカルメモリに第 3 のバスで接続されたアクセス制御手段とを含み、

該アクセス制御手段は外部からの要求に応じて前記メモリにアクセスすることを特徴とする半導体集積回路。

【請求項 2】

請求項 1 に記載の半導体集積回路において、前記ローカルメモリは、前記第 2 のバスに接続された第 1 のアクセスポートと前記第 3 のバスに接続された第 2 のアクセスポートとを含むことを特徴とする半導体集積回路。

【請求項 3】

請求項 2 に記載の半導体集積回路において、前記ローカルメモリは、デュアルポート RAM であることを特徴とする半導体集積回路。

【請求項 4】

請求項 1 に記載の半導体集積回路において、該回路は、前記第 2 のバスおよび前記第 3 のバスと前記ローカルメモリとの間に接続された選択手段を含み、該選択手段は、前記第 2 および第 3 のバスのいずれかを選択して前記ローカルメモリへ接続することを特徴とする半導体集積回路。

【請求項 5】

請求項 4 に記載の半導体集積回路において、該回路は、前記中央処理装置および前記アクセス制御手段から出力される前記ローカルメモリに対するアクセス要求に基づいて前記選択手段に対して選択するバスを指示する調停手段を含むことを特徴とする半導体集積回路。

【請求項 6】

請求項 5 に記載の半導体集積回路において、前記調停手段は、前記中央処理装置から出力されるアクセス要求を前記アクセス制御手段から出力されるアクセス要求より優先することを特徴とする半導体集積回路。

【請求項 7】

請求項 4 に記載の半導体集積回路において、前記ローカルメモリは、1 面のアクセスポートを有する RAM であることを特徴とする半導体集積回路。

【書類名】 明細書

【発明の名称】 半導体集積回路

【技術分野】

【0 0 0 1】

本発明は、中央処理装置（C P U）を用いて情報処理を行う半導体集積回路に関し、特に外部との間でデータを高速で授受できる半導体集積回路に関するものである。

【背景技術】

【0 0 0 2】

従来、情報処理を行う半導体集積回路におけるC P Uは、バスで接続されているメインメモリを介して外部との間で情報の授受を行っていた。また、C P Uは、メインメモリのアクセス速度がC P Uの処理速度に比べて低いため、メインメモリとは別にメインメモリよりアクセス速度が速いキャッシュメモリを備え、メインメモリに格納されている情報の一部をキャッシュメモリに書き込んで一時的に保持し、このキャッシュメモリとの間で情報の受け渡しを行うことにより情報処理の高速化を図っていた。

【0 0 0 3】

【特許文献1】 特開平8 - 1 8 0 0 0 8 号公報

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 4】

しかしながら、上記の半導体集積回路では、C P Uは、メインメモリを介して外部との間で情報を授受する場合に、メインメモリのアクセス速度が低いため高速で情報を授受することができないという問題があった。また、C P Uがキャッシュメモリを備えている場合には、外部からキャッシュメモリに直接アクセスすることも考えられるが、キャッシュメモリに保持される情報は、キャッシュメモリの性質上、メインメモリに格納されている情報の内容と同一であることが要求されるため、メインメモリに格納されている情報と内容が異なる情報をキャッシュメモリに書き込んで外部から読み出すということとはできないという問題があった。

【0 0 0 5】

本発明はこのような従来技術の欠点を解消し、C P Uおよび外部からアクセスできるローカルメモリを介して、メインメモリとは無関係に、外部との間で情報を高速で授受ができる半導体集積回路を提供することを目的とする。

【課題を解決するための手段】

【0 0 0 6】

本発明は上記の課題を解決するために、第1のバスで互いに接続された中央処理装置と、メインメモリを制御するメインメモリ制御部と、周辺装置を制御する入出力チャンネル制御部とを含む半導体集積回路は、中央処理装置に第2のバスで接続された情報を格納するローカルメモリと、ローカルメモリに第3のバスで接続されたアクセス制御手段とを含み、アクセス制御手段は外部からの要求に応じて前記メモリにアクセスすることを特徴とする。

【0 0 0 7】

この場合、ローカルメモリは、第2のバスに接続された第1のアクセスポートと第3のバスに接続された第2のアクセスポートとを含むのがよい。

【0 0 0 8】

また、第2のバスおよび第3のバスと前記ローカルメモリとの間に接続された選択手段を含み、この選択手段は、第2および第3のバスのいずれかを選択して前記ローカルメモリへ接続するものであってもよい。

【0 0 0 9】

この場合、中央処理装置およびアクセス制御手段から出力されるローカルメモリに対するアクセス要求に基づいて選択手段に対して選択するバスを指示する調停手段を含むのがよい。

【発明の効果】**【0010】**

本発明によれば、少なくとも2面のアクセスポートを有するRAMをローカルメモリとして備えているので、CPUと外部では互いに無関係にローカルメモリへアクセスすることができる。したがって、CPUが動作中でも、ローカルメモリを介して外部との間でデータを授受することができる。また、ローカルメモリのアクセス時間はメインメモリより高速であるので、ローカルメモリを介して外部との間でデータを高速で授受することができる。

【0011】

また、アクセスポートが1面のRAMをローカルメモリとして用いることにより、データ授受の速度をさらに速くすることができ、面積を小さくすることができるという利点が得られる。

【発明を実施するための最良の形態】**【0012】**

次に添付図面を参照して本発明による半導体集積回路の実施例を詳細に説明する。図1を参照すると、半導体集積回路1は、中央処理装置(CPU)10、ローカルメモリ12,14、アクセス制御部16、メインメモリ制御部18および入出力チャンネル制御部20を含み、CPU10、メインメモリ制御部18および入出力チャンネル制御部20はバス30により相互に接続され、CPU10とローカルメモリ12,14はそれぞれバス32,34により接続され、ローカルメモリ14とアクセス制御部16はバス36により接続され、さらにアクセス制御部16はバス38により外部に接続されている。

【0013】

また、メインメモリ制御部18、入出力チャンネル制御部20には、半導体集積回路1の外部に設けられたメインメモリ22、周辺装置24がそれぞれ接続されている。なお、バス32,36,38は、例えばアドレス線、ライトデータ線、リードデータ線、素子選択線、リード／ライト選択線から構成され、アドレス、ライトデータ、リードデータ、素子選択信号、リード／ライト選択信号を伝送する伝送路である。

【0014】

CPU10は、メインメモリ22から命令やデータを読み出して所定の処理を実行する演算・制御装置であり、一般にキャッシュメモリを内蔵している。メインメモリ制御部18にはプログラムやデータを格納する大容量のメインメモリ22が接続されている。メインメモリ制御部18は、CPU10の命令に従ってメインメモリ22に対するプログラムやデータの読み出し／書き込みを制御するものである。入出力チャンネル制御部20にはディスプレイやプリンタ等の周辺装置24が接続されている。入出力チャンネル制御部20は、CPU10の命令に従って周辺装置24の動作、データ転送等を制御するものである。

【0015】

ローカルメモリ12,14は、メインメモリ22より容量は小さいがアクセス時間の速い半導体メモリであり、高速アクセスを可能とする。ただし、ローカルメモリ12,14は、本実施例では、キャッシュメモリとしての機能を想定していない。したがって、ローカルメモリ12,14には、メインメモリ22に格納されている情報と異なる内容の情報を保持することができる。ローカルメモリ12は、情報を格納するメモリ、例えばRAM(Random Access Memory)から構成される。CPU10は、専用のバス32を介して何時でもローカルメモリ12にアクセスすることができる。

【0016】

ローカルメモリ14は、情報を格納する、少なくとも2面のアクセスポートを有するメモリである。本実施例では、2面のアクセスポートを有するデュアルポートRAMから構成されており、1面をCPUアクセス専用ポートとして、他の1面を外部アクセス専用ポートとして使用している。そして、CPUアクセス専用ポートにはバス34によりCPU10が接続され、外部アクセス専用ポートにはバス36によりアクセス制御部16が接続されている。なお、アクセス制御部16は、ローカルメモリ14と外部の間のインタフェースとして動

作し、バス38を介して入力される外部からの要求に応じてローカルメモリ14へアクセスするものである。

【0017】

このようにローカルメモリ14は、互いに無関係にアクセスすることができるCPUアクセス専用ポートと外部アクセス専用ポートとを有しているので、CPU10は、外部からのローカルメモリ14に対するアクセスとは無関係にローカルメモリ14へアクセスすることができ、また、外部ではCPU10からのローカルメモリ14に対するアクセスとは無関係にローカルメモリ14へアクセスすることができる。したがって、CPU10が動作中でも、ローカルメモリ14と外部との間でデータを授受することが可能となり、また、CPU10および外部はローカルメモリ14内の同一アドレスからデータを同時に読み出すことも可能となる。

【0018】

このように構成された半導体集積回路1の動作について説明すると、CPU10では、例えば使用頻度の高いプログラムをローカルメモリ12へ書き込み、書き込んだプログラムを読み出して情報処理を実行する。また、CPU10およびアクセス制御部16では、ローカルメモリ14にアクセスする場合、データ（書き込みの場合）および制御信号（例えば、アドレス、素子選択信号、リード／ライト選択信号）を、バス34,36を介してそれぞれローカルメモリ14へ出力する。

【0019】

ローカルメモリ14では、バス34,36からデータおよび制御信号を取り込み、取り込んだデータおよび制御信号に基づいてデータの書き込みまたはデータの読み出しを実行する。そして、データの読み出しを実行した場合には、その読み出したデータをバス34またはバス36へ出力する。CPU10ではバス34からデータを取り込み、アクセス制御部16ではバス36からデータを取り込んでバス38を介して外部へ出力する。

【0020】

このように本実施例によれば、ローカルメモリ14はCPUアクセス専用ポートおよび外部アクセス専用ポートを有しているので、CPU10およびアクセス制御部16は、互いに無関係にローカルメモリ14へアクセスすることができる。ただし、同一アドレスに同時にデータを書き込む場合を除く。したがって、CPU10がローカルメモリ14にアクセス中でも、外部からローカルメモリ14に格納されているデータを読み出すことができる。また、ローカルメモリ14のアクセス時間はメインメモリ22より速いので、ローカルメモリ14に格納されているデータを外部から短時間に読み出すことができる。

【0021】

図2は、本発明による半導体集積回路の他の実施例を示すブロック図である。図2を参照すると、半導体集積回路2は、基本的には図1に示す半導体集積回路1のローカルメモリ14をローカルメモリ50に置き換えたものであり、中央処理装置（CPU）10、ローカルメモリ12,50、アクセス制御部16、メインメモリ制御部18、入出力チャネル制御部20、セレクトラ52および調停回路54を含む。なお、図2において、図1の示されている要素と同じ要素には同じ参照符号を付してある。

【0022】

CPU10、メインメモリ22および周辺装置24は、図1の場合と同様に一般的なコンピュータを構成する。CPU10とローカルメモリ12は、図1の場合と同様にバス32により接続されている。また、CPU10とセレクトラ52はバス60により接続され、CPU10とローカルメモリ50およびアクセス制御部16とはバス62により接続されている。また、アクセス制御部16とセレクトラ52はバス64により接続され、セレクトラ52とローカルメモリ50はバス66により接続されている。さらに、CPU10およびアクセス制御部16には接続線68,70により調停回路54が接続され、調停回路54には接続線69によりセレクトラ52が接続されている。

【0023】

なお、本実施例では、バス60,64,66は、書き込みデータを伝送するライトデータ線、アドレスを伝送するアドレス線、素子選択線およびリード／ライト選択線から構成され、バ

ス62は読み出したデータを伝送するリードデータ線から構成されるものとする。

【0024】

ローカルメモリ50は、図1のローカルメモリ14と同様に主としてデータを一時的に格納するメモリ、例えばRAMから構成される半導体メモリであり、メインメモリ22より容量は小さいが高速アクセスを可能とする。また、ローカルメモリ50は、図1のローカルメモリ14と同様にキャッシュメモリとしての機能を想定していないが、ローカルメモリ14とは異なりアクセスポートは1面である。したがって、CPU10および外部は同時にローカルメモリ50へアクセスすることはできない。そこで、本実施例では、セクタ52と調停回路54とを設け、CPU10のアクセス要求と外部からのアクセス要求とを調停している。

【0025】

なお、図1の半導体集積回路1では、ローカルメモリ14はデュアルポートRAMから構成されているので、1面をCPUアクセス専用ポートとし他の1面を外部アクセス専用ポートとすることにより、CPU10および外部から互いに無関係にローカルメモリ14へアクセスすることができた。ただし、同一アドレスに同時にデータを書き込む場合を除く。しかし、デュアルポートRAMは、アクセスポートが1面のRAMに比べて取り付け面積が大きく、アクセス時間が遅いという欠点がある。したがって、取り付け面積やアクセス時間を重要視する場合には、本実施例のように、アクセスポートが1面のRAMから構成されるローカルメモリ50が好適である。

【0026】

セクタ52は、バス60およびバス64の何れか一方を調停回路54から接続線69を介して与えられる選択信号に従ってバス66へ選択的に接続する回路である。具体的には、選択信号がCPU10をローカルメモリ50へ接続することを指示するときバス60をバス66に接続し、選択信号がアクセス制御部16をローカルメモリ50へ接続することを指示するときバス64をバス66に接続する。これにより、CPU10またはアクセス制御部16から出力されるアドレス、ライトデータ、素子選択信号およびリード／ライト選択信号はローカルメモリ50に入力され、ローカルメモリ50ではデータの書き込みまたは読出しを実行する。

【0027】

CPU10およびアクセス制御部16は、本実施例では、ローカルメモリ50にアクセスしようとするとき、接続線68,70を介して調停回路54へアクセス要求信号（例えば、素子選択信号）を出力する。調停回路54は、CPU10およびアクセス制御部16の何れをローカルメモリ50に接続するかを指示する選択信号を、CPU10およびアクセス制御部16から出力されるアクセス要求信号に基づいて生成し、セクタ52へ出力するものである。

【0028】

具体的には、CPU10およびアクセス制御部16の何れか一方からアクセス要求信号を受けたとき、ローカルメモリ50がデータの読み出しまたは書き込みを実行していない場合は、アクセス要求信号を出力した側のバス（バス60またはバス64）とバス66との接続を指示する選択信号を生成してセクタ52へ出力し、CPU10およびアクセス制御部16からアクセス要求信号を同時に受けたとき、CPU10のアクセス要求を優先して、バス60とバス66の接続を指示する選択信号を生成してセクタ52へ出力する。この場合、バス60,64の何れを選択しているかを示す選択表示信号を生成し接続線72を介して外部へ出力する。なお、調停回路54では、CPU10およびアクセス制御部16のアクセス要求が競合した場合、アクセス制御部16からのアクセス要求を優先してもよい。

【0029】

このように構成された半導体集積回路2の動作について説明すると、CPU10およびアクセス制御部16では、ローカルメモリ50にアクセスしようとするとき、接続線68,70を介してアクセス要求信号を調停回路54へ出力すると共にアドレス、ライトデータ（書き込みの場合）、素子選択信号およびリード／ライト選択信号等をバス60,64へ出力する。

【0030】

調停回路54では、CPU10からアクセス要求信号を受けたとき、アクセス制御部16がローカルメモリ50にアクセスしていない場合は、バス60とバス66の接続を指示する選択信号

をセクタ52へ出力し、アクセス制御部16からアクセス要求信号を受けたとき、C P U 10がローカルメモリ50にアクセスしておらずかつC P U 10のアクセス要求と競合しない場合は、バス64とバス66の接続を指示する選択信号をセクタ52へ出力する。そして、調停回路54では、接続線72を介して選択表示信号を外部へ出力する。外部ではこの選択表示信号によりローカルメモリ50がC P U 10によりアクセスされているか否かを判断することができる。

【0 0 3 1】

セクタ52では、調停回路54からの選択信号に従ってバス66をバス60またはバス64に接続する。これにより、C P U 10またはアクセス制御部16からバス60またはバス64へ出力されたアドレス、ライトデータ、素子選択信号およびリード／ライト選択信号はセクタ52を介してローカルメモリ50へ入力される。ローカルメモリ50では、入力されたアドレス、ライトデータ、素子選択信号およびリード／ライト選択信号に基づいてデータの書き込みまたはデータの読み出しを実行し、データを読み出した場合には読み出したデータをバス62へ出力する。アクセス要求を出力したC P U 10またはアクセス制御部16ではバス60上のデータを取り込む。アクセス制御部16では取り込んだデータを、バス86を介して外部へ出力する。

【0 0 3 2】

このように本実施例によれば、C P U 10がローカルメモリ50にアクセスしていない場合には、C P U 10が動作中でも外部からローカルメモリ50へ直接アクセスして、ローカルメモリ50に格納されているデータを読み出したり、ローカルメモリ50へデータを書き込んだりすることができる。また、ローカルメモリ50のアクセス時間はメインメモリ22より速いので、ローカルメモリ50に格納されているデータを外部から高速で読み出すことができる。

。

【図面の簡単な説明】

【0 0 3 3】

【図 1】 本発明による半導体集積回路の実施例を示すブロック図である。

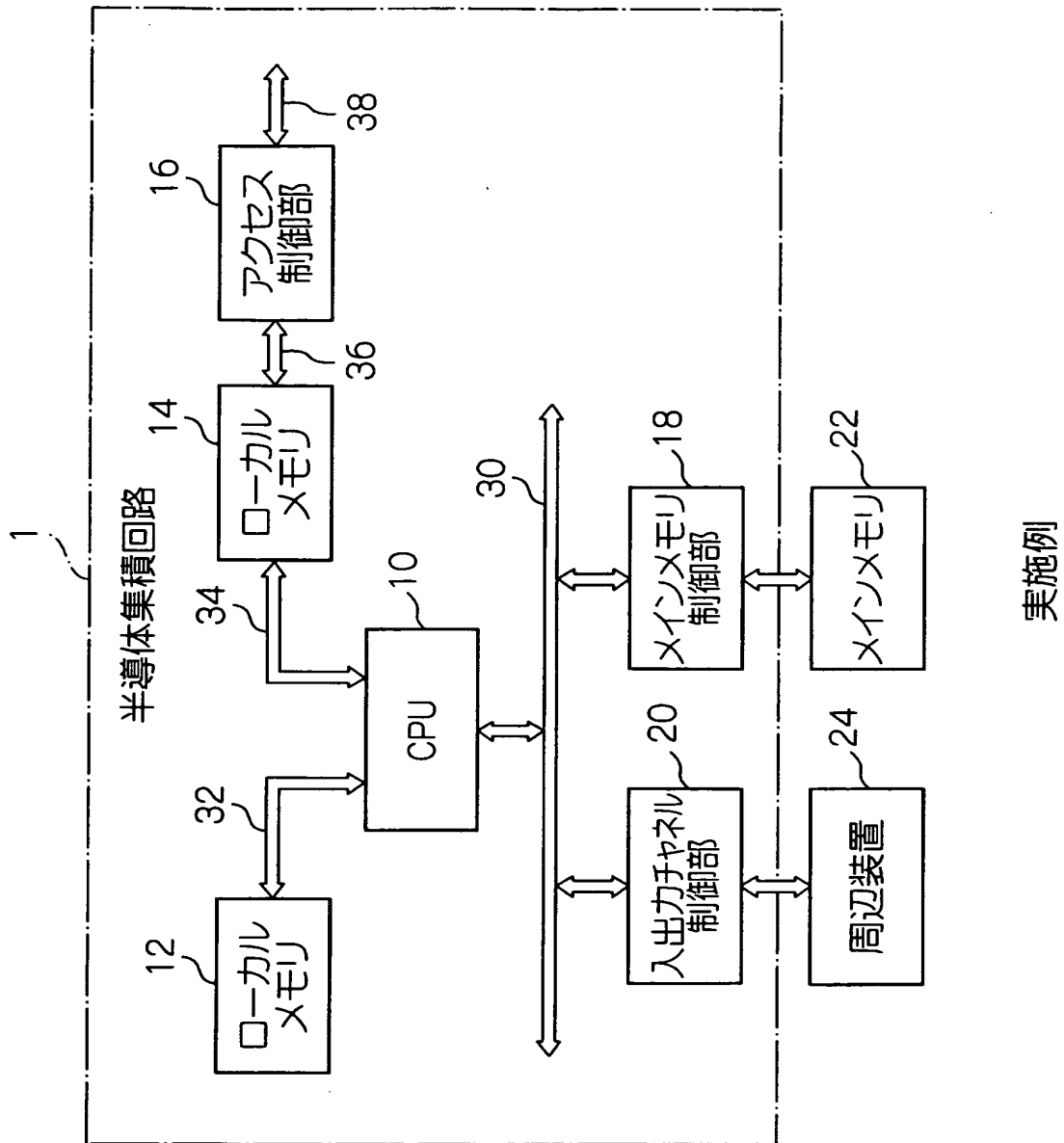
【図 2】 本発明による半導体集積回路の他の実施例を示すブロック図である。

【符号の説明】

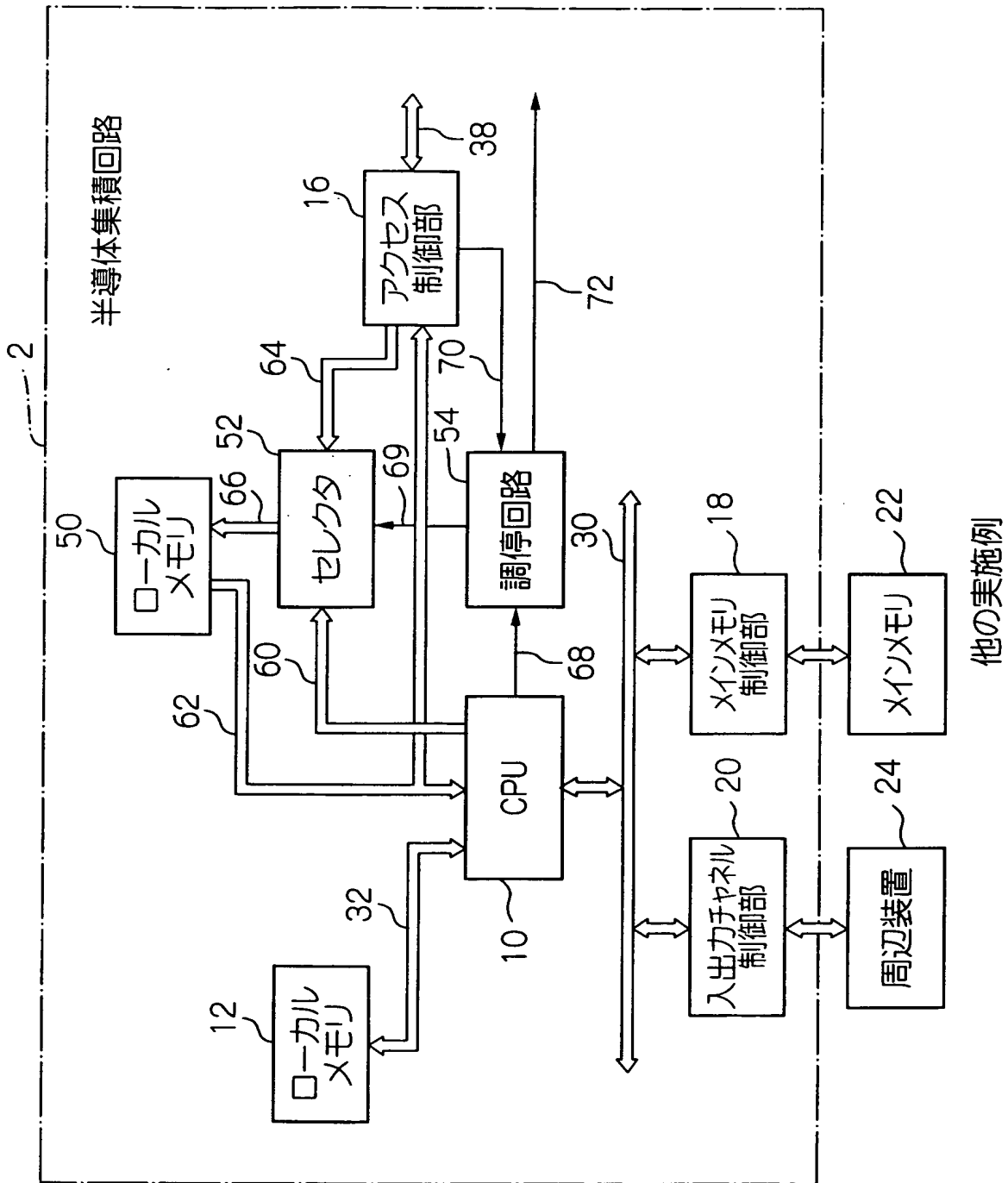
【0 0 3 4】

- 1、2 半導体集積回路
- 10 C P U
- 12, 14, 50 ローカルメモリ
- 16 アクセス制御部
- 18 メインメモリ制御部
- 20 入出力制御部
- 52 セクタ
- 54 調停回路

【書類名】 図面
【図 1】



【図 2】



【書類名】 要約書**【要約】**

【課題】 外部との間でデータを高速で授受できる半導体集積回路を提供。

【解決手段】 バス34によりCPU10に、バス36によりアクセス制御部14にそれぞれ接続された高速アクセスを可能とするローカルメモリ14を備え、ローカルメモリ14にアクセスする場合、CPU10ではデータおよび制御信号をバス34でローカルメモリ14のCPUアクセス専用ポートへ出力し、アクセス制御部16ではバス36でデータおよび制御信号を外部アクセス専用ポートへ出力する。ローカルメモリ14ではアクセスポートに入力されたデータおよび制御信号に基づいてデータの書き込みまたは読み出しを実行する。外部では、アクセス制御部16を介してローカルメモリ14へアクセスし、ローカルメモリ14との間でデータを高速で授受することができる。

【選択図】 図1

特願 2 0 0 3 - 3 4 0 5 1 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 0 2 9 5]

1. 変更年月日	1 9 9 0 年 8 月 2 2 日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社